

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353431

(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 27/146

H01L 31/10

(21)Application number : 2001-152387

(71)Applicant : CANON INC

(22)Date of filing : 22.05.2001

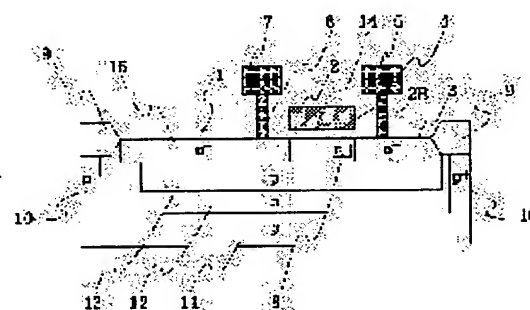
(72)Inventor : INOUE SHUNSUKE

(54) PHOTOELECTRIC TRANSDUCER AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To form the embedded region of a photoelectric transducer, using a threshold modulation-type MOS transistor with satisfactory reproducibility and to provide a pixel and a chip, whose characteristics are adjusted.

SOLUTION: The transducer has a photodiode and an insulation gate-type transistor; the embedded region 8 of high impurity concentration for collecting charges generated in the photodiode is arranged, in a well 13 below the gate electrode of the transistor; and the embedded region 8 is self-matched with the source side end part of the gate electrode 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] the transistor of a photodiode and an insulated-gate mold -- having -- the well of the gate electrode lower part of said transistor -- in order to collect the charges generated with said photodiode inside -- this -- a well and the said **** type -- it is -- this -- the photo-electric-conversion equipment characterized by adjusting said embedding field at the edge of said gate electrode of said transistor in the photo-electric-conversion equipment with which the embedding field of high high impurity concentration was prepared from the well.

[Claim 2] Said embedding field is photo-electric-conversion equipment according to claim 1 which is in said channel field side from the low high-impurity-concentration field which is directly under said gate electrode of said transistor, and constitutes the source field of said transistor.

[Claim 3] the transistor of a photodiode and an insulated-gate mold -- having -- the well of the gate electrode lower part of said transistor -- inside In the manufacture approach of photo-electric-conversion equipment that the embedding field of high high impurity concentration was prepared from the well in order to collect the charges generated with said photodiode -- this -- a well and the said **** type -- it is -- this -- So that the edge of said gate electrode of said transistor may be made to adjust the process which forms a 1st **** type well in a semi-conductor base, the process which forms said gate electrode of said transistor, and said embedding field said well -- the manufacture approach of the photo-electric-conversion equipment characterized by including the process which performs ion implantation inside.

[Claim 4] Said embedding field is photo-electric-conversion equipment according to claim 1 with which it is formed of slanting ion implantation after forming said gate electrode of said transistor, and said a part of embedding field [at least] is located directly under said gate electrode.

[Claim 5] The source field of said transistor is the manufacture approach of the photo-electric-conversion equipment according to claim 3 which forms by performing the ion implantation of an opposite **** type dopant so that the dopant driven in that said embedding field should be formed may be negated.

[Claim 6] The manufacture approach of the photo-electric-conversion equipment according to claim 3 which performs the ion implantation for forming said embedding field, forms the side spacer of the gate electrode of said MOS transistor, and forms the high high-impurity-concentration field of the source field of said MOS transistor after that after forming said gate electrode of said transistor.

[Claim 7] The manufacture approach of the photo-electric-conversion equipment according to claim 3 formed by rotation ion implantation so that the source field of said transistor may be surrounded for said embedding field after forming said gate electrode of said transistor.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the photo-electric-conversion equipment used for image pick-up equipments, such as a digital still camera, a video camera recorder, facsimile, and an image scanner, and the manufacture approach, and a twist concrete target at the MOS mold photo-electric-conversion equipment and its manufacture approach of a threshold modulation mold.

[0002]

[Description of the Prior Art] Need is increasing quickly as that to which photo-electric-conversion equipment fitted the image pick-up equipment for 1-dimensional image reading consisting mainly of a digital still camera, the image pick-up equipment for a two-dimensional image input centering on a video camera recorder or facsimile, and a scanner in recent years.

[0003] The photo-electric-conversion equipment of CCD (Charge Coupled Device: charge-coupled device) or an MOS mold is used as these photo-electric-conversion equipments. Since [that sensibility is high] the noise is small, while it has spread as high-definition image pick-up equipment as compared with the latter, power consumption is large, since the former cannot use the general-purpose semiconductor manufacture process that driver voltage is high, its cost is high and it is difficult to accumulate circumference circuits, such as a drive circuit.

[0004] Therefore, it can be expected that many the so-called MOS type of photo-electric-conversion equipments which used the transistor of an insulated-gate mold are applied to application to the pocket device by which expansion of need will be expected from now on. In order to improve the lowness of the image quality which was the fault of MOS mold photo-electric-conversion equipment for that purpose, component structure which can control a noise by the smaller transistor count is desired.

[0005] Since there are few transistor counts per pixel, BCMD (Bulk Charge Modulated Device) is devised more in ancient times as photo-electric-conversion equipment with which a numerical aperture also with a detailed big pixel is obtained.

[0006] The technique of detecting a charge can be considered by bringing together the charge generated with the photodiode as an advanced type of BCMD in the high concentration impurity layer embedded directly under the channel of an MOS transistor, and changing the threshold of an MOS transistor with a charge.

[0007] Drawing 14 - drawing 17 are drawings for this invention person to explain advanced BCMD invented previously, and drawing 14 is a sectional view according [accord / the 1-pixel circuit diagram and drawing 15 / the top view / drawing 16 R> 6] to the AA' line of drawing 15 .

[0008] The high-concentration embedding field in which the charge which generated the contact which the contact field which the gate electrode of the MOS transistor by which a threshold modulation is carried out with the photodiode which carries out photo electric conversion of the light which carried out incidence of 1, and the charge which generates 2 from a photodiode 1, and 3 connect a source field with the source field of an MOS transistor and connects 4 with wiring, and 5 connect the drain field of an MOS transistor with a source electrode, and connects 6 with wiring, and 7 with a drain electrode, and generated 8 with a photodiode 1 brings together, and 9 are component isolation regions.

[0009] and the channel stop field 10 and a well -- in p-type silicon, the source field 16, and the drain field 15, a field 13 consists of n mold silicon. a well -- a field 13 is formed in n mold field 12, and n mold field 12 is on p mold substrate 11. the embedding field 8 -- a well -- the same **** type as a field 12 -- a well -- it consists of high-concentration p-type silicon from a field 12.

[0010] a photodiode 2 -- a well -- the well which is the configuration that a part of field 13 serves as an anode, and a part of drain field 15 and n mold field 12 serve as a cathode and by which the hole was made the suspension condition among the charges generated by the light which carried out incidence there -- it is accumulated in a field 13, and is collected and accumulated in the embedding field 8 where potential is low for a hole.

[0011] Here, with reference to drawing 17 , signs that the conductivity of an MOS transistor is modulated with this stored charge are explained. Drawing 17 expands and shows the gate electrode and the structure of a lower part of an MOS transistor. The hole 21 generated with the photodiode is accumulated in the embedding field 8. This charge generates the mirror image charge 22 to the gate electrode 2. The threshold of the MOS transistor part of mirror image charge 22 directly under changes with these mirror image charges 22. In the operating state by which the fixed gate voltage for read-out is impressed to the gate electrode 2, the current which flows between the source drains of an MOS transistor will change with these operations according to a threshold.

[0012] Next, the manufacture approach of the photo-electric-conversion equipment shown in drawing 15 and drawing 16 is explained. Epitaxial growth is performed to p-type silicon 11, and n type layer 12 is formed. Next, the whole is oxidized thinly, then a silicon nitride is deposited, and etching removal of the oxide film / the silicon nitride of a component isolation region is carried out. After carrying out the ion implantation of the p mold ion and forming the channel stop field 10 between pixels, LOCOS oxidation is performed and the component isolation region 9 is formed. resist patterning -- forming -- this -- a mask -- carrying out -- ion -- devoting oneself -- a well -- a field 13 is formed. Next, the resist pattern for forming an embedding field is formed, and the ion implantation which made this the mask is performed. Next, after forming gate dielectric film 14 in a front face, polish recon is deposited and patterning is carried out to a gate electrode configuration. The source field 16 of n mold and the drain field 15 are formed by the ion implantation by using this gate electrode 2 as a mask. Then, deposition of an insulator layer, opening of contact, deposition of a wiring metal membrane, and patterning are performed, and contacts 4 and 6 and the source drain electrodes 5 and 6 are formed.

[0013]

[Problem(s) to be Solved by the Invention] However, since it varies for every lot of the wafer at the time of every chip of the photo-electric-conversion equipment which the distance to the embedding field 8 and the source field 16 of an MOS transistor manufactures, and manufacture, the sensibility of photo-electric-conversion equipment will differ in the above-mentioned manufacture approach. The reason is for the relative position of the embedding field 8 and the source field 16 to influence sensibility as it is explained below. Variation ΔV_{th} of the threshold of an MOS transistor is $\Delta V_{th} = Q/C$ expressed as follows. -- (formula 1)

However, like drawing 17 , the electrostatic capacity and also C which are formed between the charge 21 with which Q is stored in an embedding field and the amount C of savings **** charges is stored in an embedding field, and its mirror image charge 22 are embedded from under an insulator layer 14, and serve as the capacity C_g of the gate dielectric film 14 of the MOS transistor of the right above of the embedding field 8 from the series capacitance of the electrostatic capacity C_{si} of the silicon field to a field 8. Therefore, $C = C_g - C_{si} / (C_g + C_{si})$ -- (formula 2)

Since it is proportional to a charge transform coefficient, i.e., the output voltage generated with one generating charge, the detection sensitivity which is the important property of photo-electric-conversion equipment is $\eta = e/C$. -- (formula 3)

However, η is a capacity as which a charge transform coefficient and e are defined by elementary charge, and C is defined by (the formula 2).

[0014] The rate which carries out termination into the source field among the line of electric force which comes out of a charge 21 as the embedding field 8 approaches the source field 16, although termination of the line of electric force 23 which comes out of the charge 21 which embeds like [the distance to the gate electrode 2 from the embedding field 8 embeds, and / when sufficiently shorter than the distance to the source electrode from a field] drawing 17 , and is stored in a field is altogether carried out to the mirror image charge 22 in a gate electrode becomes large. Therefore, the mirror image charges by which induction is carried out into a gate electrode decrease in number that much. It becomes impossible therefore, for the charge which embedded and was brought together in the field to produce threshold change of an MOS transistor effectively. This means that sensibility falls.

[0015] As mentioned above, the sensibility of photo-electric-conversion equipment will vary with the distance to the embedding field 8 and the source field 16. When the distance of an embedding field and a source field is taken enough, the dimension of an MOS transistor becomes large and it becomes impossible to realize detailed pixel structure.

[0016] Then, even if the purpose of this invention produces an embedding field with sufficient repeatability and makes a component dimension small, it is to suppress the heterogeneity of the sensibility for every chip and offer the manufacture approach of the photo-electric-conversion equipment which can produce the MOS transistor of the threshold modulation mold to which the property was equal in much *****.

[0017]

[Means for Solving the Problem] the 1st invention of this application -- the transistor of a photodiode and an insulated-gate mold -- having -- the well of the gate electrode lower part of said transistor -- in order to collect the charges generated with said photodiode inside -- this -- a well and the said **** type -- it is -- this -- in the photo-electric-conversion equipment with which the embedding field of high high impurity concentration was prepared from the well, said embedding field is characterized by having consistency at the edge of the gate electrode of said transistor.

[0018] The 2nd invention of this application has the transistor of a photodiode and an insulated-gate mold. In the manufacture approach of photo-electric-conversion equipment that the embedding field of high high impurity concentration was prepared from the well the well of the gate electrode lower part of said transistor -- in order to collect the charges generated with said photodiode inside -- this -- a well and the said **** type -- it is -- this -- the edge of the gate electrode of said MOS transistor is made to adjust the process which forms a 1st **** type well in a semi-conductor base, the process which forms the gate electrode of said MOS transistor, and said embedding field -- as -- said well -- it is characterized by including the process which performs ion implantation inside.

[0019]

[Embodiment of the Invention] (Operation gestalt 1) The photo-electric-conversion equipment by the operation gestalt 1 of this invention is explained with reference to drawing 1 - drawing 4 .

[0020] Drawing 1 is the sectional view for 1 pixel of photo-electric-conversion equipment. A superficial configuration and circuitry are the same as that of drawing 14 and drawing 15 .

[0021] The photodiode to which 1 can generate and accumulate a charge (here hole) by incident light, and 2 are the gate electrodes of the transistor (MOS transistor) of the insulated-gate mold for read-out which performs the channel conductivity modulation by the generating carrier. Here, a photodiode 1 is constituted in one with an MOS transistor, and is the embedding mold photodiode with which pn junction was formed of the well 13 of p mold, the drain field 15 of n mold, and n mold field 12.

[0022] A layered product with polish recon, polish recon, a metal or metal silicide etc. with which the impurity was doped can be used for this gate electrode 2. 3 is a source field which consists of a n-type semiconductor of the above-mentioned MOS transistor, and can begin to photograph the output current of the MOS transistor modulated from this source field 3. The source contact which consists of conductors with which 4 was filled up in the contact hole of a non-illustrated insulating layer, such as aluminum and a tungsten, and 5 are source electrodes (source wiring) which consist of conductors, such

as aluminum and copper. The drain contact which consists of conductors with which 6 was filled up in the contact hole of a non-illustrated insulating layer, such as aluminum and a tungsten, and 7 are connected to the power source for driving an MOS transistor with the drain electrode (drain wiring) which consists of conductors, such as aluminum and copper. 8 is an embedding field and consists of a p type semiconductor of high high impurity concentration. This embedding field 8 is adjusted in source side edge section 2E of the gate electrode 2.

[0023] 9 is the component isolation region which consists of silicon oxide etc., and has prevented the cross talk with the adjoining pixel. The well 13 is surrounded, as the channel stop field where 10 consists of a p type semiconductor of high high impurity concentration for isolation, the substrate with which 11 consists of a p type semiconductor, and 12 been fields which consist of a n-type semiconductor and become independent in them for every pixel about the well 13 which consists of a p type semiconductor. The gate dielectric film with which 14 consists of silicon oxide etc., and 15 are wiring for a signal output in the drain field and the source electrode 5 which consist of a n-type semiconductor of high high impurity concentration used as a drain.

[0024] Below, actuation of this photo-electric-conversion equipment is explained briefly.

[0025] Actuation of photo electric conversion is performed in order of reset → are recording → read-out, and this actuation is repeated. a reset action -- the well of p mold -- all the holes that remain in the field 13 and the embedding field 8 of p+ mold are discharged to a substrate 11. Therefore, the bias voltage for reset used as forward bias (for example, about 5–10V) is impressed to the drain electrode 7 and the gate electrode 2 of an MOS transistor to a substrate 11. Since all the holes that remain in the well 13 of p mold and the embedding field 8 of p+ mold since the depletion layer prolonged from the up-and-down pn junction interface carries out the punch-through of the field 12 of n mold and depletion-izes it at this time are breathed out by the substrate 11 and the well 13 of p mold and the embedding field 8 of p+ mold are also depletion-ized, the random noise by the thermal fluctuation of a carrier is not generated.

[0026] In the are recording actuation after reset, the bias voltage for are recording (for example, 3–5V) which can carry out the reverse bias of the photodiode 1 to the drain electrode 7 is impressed. Moreover, the channel of an MOS transistor sets the gate voltage impressed to the gate electrode 2 so that it may be in an are recording condition or a depletion condition as the electrical potential difference below the threshold of an MOS transistor (for example, –3 volts – +1 volt). In this condition, incidence of the light is carried out to a photodiode 1. An electron is sucked out by the drain field 15 and the drain electrode 7 among the charges generated by this incident light, i.e., an electronic-hole pair, and by diffusion and the drift, a hole is embedded through a well 13 p molds, and gather in a field 8. Holes gather for all of two or more embedding fields 8 with the gestalt of this operation. Moreover, the clearance between the adjoining embedding fields 8 is small designed to extent which a hole can draw near to potential inclination from one of the embedding fields 8. In read-out actuation, the modulation of the conductivity of an MOS transistor by which induction is carried out in the hole accumulated in the embedding field 8 is read from the source electrode 5 as a current of an MOS transistor. The electrical potential difference impressed to the gate electrode 2 of an MOS transistor for read-out actuation is set up more than threshold voltage. In order to secure the linearity of the current-voltage characteristic as photo-electric-conversion equipment, gate voltage is decided that an MOS transistor operates in a pentode field.

[0027] With the gestalt of this operation, if it embeds if needed and a field 8 is divided into plurality, electrostatic capacity at the time of charge detection can be made small, and the sensibility as photo-electric-conversion equipment will improve.

[0028] As the division approach of the embedding field 8, sensibility can be efficiently raised by dividing in the channel width direction (the gate width direction) of an MOS transistor.

[0029] For the side near a photodiode 1, the charges generated by incident light are diffusion and the direction which carries out a drift among the source fields 3 of an MOS transistor. In a part without the

embedding field 8, a charge will not be able to be embedded, and it will not be able to catch in a field 8, but will disappear in the source field 3 of an MOS transistor. In the side which does not have a photodiode 1 among the source fields 3, such loss cannot take place easily. The design which makes sensibility max is attained the magnitude of the embedding field 8, and by changing a consistency according to the physical relationship of a photodiode and the source field of an MOS transistor.

[0030] Next, with reference to drawing 2 - drawing 4 , the manufacture approach of the photo-electric-conversion equipment by the operation gestalt of this invention is explained.

[0031] Epitaxial growth is performed to the semi-conductor substrate 11 which consists of single crystal silicon of p mold, and n type layer 12 is formed. Since n type layer thickness determines the spectral sensitivity by the side of long wavelength, the thickness is determined according to the light which should be detected. Next, in order to form the component isolation region 9, the whole is oxidized thinly, then a silicon nitride is deposited, and etching removes the oxide film / silicon nitride of the part which should form the component isolation region 9. In order to form the channel stop field 10 committed also as isolation, ion implantation equipment is used, the ion of a p mold impurity like boron is driven in, LOCOS oxidation is performed, and the component isolation regions 9 and 10 are produced. then, the well after applying the resist which consists of a photopolymer, exposing to a predetermined pattern and developing negatives -- it heat-treats by driving p mold impurity into the part which should form a field 13. a well -- heat treatment after the amount of ion implantation of a field 13 and ion implantation is decided that-izing can be carried out [depletion] on a desired electrical potential difference, and the saturation charge of a photodiode serves as a desired value at the time of a reset action.

[0032] Next, in order to produce a gate electrode, after forming gate dielectric film 14, a conductor like polish recon is made to deposit, patterning is performed, and the gate electrode 2 is formed. In this way, the structure shown in drawing 2 is obtained.

[0033] Next, a resist is carried out with ** and the resist of the field for embedding by patterning and forming a field is removed. The field in which, as for the field in which this resist pattern PR should form the drain field of an MOS transistor, a wrap should form drawing Nakamigi side edge section 2E of a gate electrode and a source field completely is a pattern to expose. Next, the embedding field 8 of p mold is formed by the ion implantation of boron. In view of a source side, the ion at this time performs slanting ion implantation so that ion may carry out incidence in the direction of the gate. It can embed by slanting ion implantation and a part of field 8 can be formed in the direction lower part of a vertical of the gate electrode 2 (directly under). 10 degrees - 40 degrees are suitable to the normal on the front face of a substrate as whenever [tilt-angle / of ion implantation / theta]. Moreover, let the depth of the embedding field 8 be a location deeper than the effective channel of an MOS transistor. the concentration of the embedding field 8 can accumulate a hole -- as -- a well -- although there is sufficiently high-concentration need from a field 13, since it becomes impossible to negate p mold dopant by n mold dopant not much by the ion implantation at the time of next source field 3 formation when it is devoted by high dose, it is desirable that it is 1/10 or less concentration of the concentration of the source field 3 formed behind. In this way, the structure shown in drawing 3 is obtained.

[0034] After removing a resist pattern PR, the source field 3 of n mold and the drain field 15 are formed by ion implantation and heat treatment by using a gate electrode as a mask. Rather than the time of placing of p mold dopant, the part by which a mask is not carried out with the gate electrode 2 among p+ mold fields poured in for embedding field 8 formation adjusts the depth of ion implantation, and sets up more doses so that n+ mold may negate p+ mold. Consequently, among p+ mold fields, only the part directly under the gate remains as a p+ mold field, and serves as the embedding field 8 in which a charge is brought together. In this way, the structure shown in drawing 4 is obtained. In this way, self align of the embedding field 8 is carried out to edge 2E of the gate electrode 2. Then, deposition of an insulator layer, opening of contact, deposition of a wiring metal membrane, and patterning are repeated, and the structure as shown in drawing 1 is obtained. A non-illustrated metal protection-from-light layer is

formed if needed after that. When producing the photo-electric-conversion equipment for colors, the color filter stratification and a micro lens are formed after this.

[0035] (Operation gestalt 2) Drawing 5 is the sectional view of the photo-electric-conversion equipment by this operation gestalt. Opening of contact, wiring, etc. are omitted and illustrated. This operation gestalt makes the source of an MOS transistor, and drain structure the so-called LDD (Lightly Doped Drain) structure. In order to form LDD structure, the side spacer 20 by the insulator layer is formed in the side attachment wall of the gate electrode 2.

[0036] Epitaxial growth is performed to p-type silicon 11, and n type layer 12 is formed. Next, in order to form a component isolation region, the whole is oxidized thinly, then a silicon nitride is deposited, and etching removal of the oxide film / the silicon nitride of a component isolation region is carried out. After driving in the ion of p mold dopant and forming the high-concentration channel stop field 10 between pixels, LOCOS oxidation is performed and the component isolation region 9 is formed. resist patterning and ion implantation -- a well -- a field 13 is formed. a well -- heat treatment after the ion implantation dose of a field 13 and ion implantation is decided that-izing can be carried out [depletion] on a desired electrical potential difference, and the saturation charge of a photodiode serves as a desired value at the time of a reset action. In order to determine the impurity profile of the channel of an MOS transistor, the impurity layer of p mold and n mold is formed near a channel by the ion implantation if needed. Polish recon is deposited after forming gate dielectric film 14 in a front face, and patterning of the gate electrode is carried out. Next, Resist PR is carried out with ** and the resist of the field which embeds by patterning and forms a field is removed. The wrap is exposing [the resist pattern PR] source side edge section 2E of a gate electrode, and a source field for the drain field of an MOS transistor completely. Next, the embedding field 8 of p mold is formed by the ion implantation of boron. In view of a source side, ion performs slanting ion implantation so that incidence may be aslant carried out in the direction of the gate. It can embed by slanting ion implantation and a part of field can be formed directly under a gate electrode. 10 degrees - 40 degrees are suitable as whenever [tilt-angle / of impregnation / theta]. Moreover, let the depth of the embedding field 8 be a location deeper than the channel of an MOS transistor. the concentration of the embedding field 8 can accumulate a hole -- as -- a well -- although there is sufficiently high-concentration need from a field 13, since it becomes impossible to negate p mold dopant by n mold dopant by the ion implantation at the time of next source field formation not much when it is devoted by high dose, it is desirable that it is 1/10 or less concentration of the concentration of a source field. In this way, the structure shown in drawing 6 is obtained.

[0037] It is the same as the operation gestalt 1 mentioned above so far.

[0038] Next, the ion of Lynn is driven in and it forms, after removing Resist PR, the low high-impurity-concentration fields 15b, 16c, 16d, and 16e, i.e., the electric-field relaxation layers, of a source drain of n mold. At this time, the field which drove in Lynn among the p+ fields 8 by the ion implantation of n mold sets up the depth of p+ layer, and concentration beforehand so that p+ mold may be negated mostly. therefore, a part of field 16c by which the electric-field relaxation field of a source field will remain in a silicon front face as an n type layer soon, and embedding field -- denying -- almost -- neutrality or a well -- there are not 16d of fields of the almost same concentration as a field 13 and an embedding field, and it is divided into three fields of field 16e of the same concentration as a drain side. The embedding field 8 is formed in the bottom of a gate electrode in self align at the edge of a gate electrode. Next, after depositing silicon oxide etc. with a CVD method, it leaves silicon oxide only to the side attachment wall of the gate electrode 2 by anisotropic etching, and the so-called side spacer 20 is formed. In this way, the structure of drawing 7 is obtained.

[0039] High-concentration source field 16a of n mold and drain field 15a are formed by ion implantation by using the gate electrode 2 as a mask. As a low-concentration electric-field relaxation field remains only in the bottom of the side spacer 20 by formation of high-concentration n mold fields 15a and 16a and it was shown in drawing 5 in this way, source electric-field relaxation field 16b and drain electric-

field relaxation field 15b are formed. In this way, the embedding field 8 and the source field 3 are made by source side edge section 2E of a gate electrode in self align.

[0040] Then, deposition of an insulator layer, opening of contact, deposition of a wiring metal membrane, and patterning are repeated, and a non-illustrated metal protection-from-light layer is formed in the last, and it completes. When producing the photo-electric-conversion equipment for colors, the color filter stratification and a micro lens are formed after this.

[0041] (Operation gestalt 3) Drawing 8 shows the 1-pixel top view of the photo-electric-conversion equipment with which the MOS transistor by which a threshold modulation is carried out was made into the shape of a ring. For the photodiode to which 1 generates and accumulates a charge by incident light, the gate electrode of the MOS transistor for read-out with which 2a performs the channel conductivity modulation by the generating carrier, and 2b, as for the source field of the above-mentioned MOS transistor, and 4, gate wiring and 3 are [source contact and 5] source electrodes. Gate electrode 2a encloses the source field 3 by the shape of a ring. 6 is drain contact of an MOS transistor and 7 is a drain electrode. 8 is two or more embedding fields, and in accordance with the configuration of a gate electrode, it is divided and it is arranged so that a source field may be surrounded. 9 is a component isolation region. Drawing 9 is BB' cross section of drawing 8 . As for the gate dielectric film of an MOS transistor, and 15, the well and opposite **** type field where the channel stop field of the high concentration [10] for isolation and 11 enclose a silicon substrate, and 12 encloses a well 13, and 14 are [a drain field and 16] source fields.

[0042] With this operation gestalt, gate electrode 2a is made into the shape of a ring, and in accordance with the configuration of gate electrode 2a, it is arranged so that the embedding field 8 may also surround the source field 15. Since the large gate width of an MOS transistor can be taken while the holes diffused from the photodiode can be collected certainly, making a gate electrode into the shape of a ring can drive a bigger output load. Therefore, it is effective in improvement in the speed of read-out.

[0043] Next, the manufacture approach is explained.

[0044] The process which forms a gate electrode is completely the same as the above-mentioned operation gestalten 1 and 2. That is, epitaxial growth is performed to p-type silicon 11, and n type layer 12 is formed. Next, in order to form a component isolation region, the whole is oxidized thinly, then a silicon nitride is deposited, and etching removal of the oxide film / the silicon nitride of a component isolation region is carried out. After driving in and carrying out the ion of p mold dopant and forming the high-concentration channel stop field 10 between pixels, LOCOS oxidation is performed and the component isolation region 9 is completed. resist patterning and ion implantation -- a well -- a field 13 is formed. a well -- heat treatment after the dose of the ion implantation of a field 13 and ion implantation is decided that-izing can be carried out [depletion] on a desired electrical potential difference, and the saturation charge of a photodiode serves as a desired value at the time of a reset action. In order to determine the impurity profile of the channel field of an MOS transistor, the impurity layer of p mold and n mold is formed near a channel by ion implantation if needed. Polish recon is deposited after forming gate dielectric film 14 in a front face, and patterning of the gate electrode is carried out. In this way, the structure shown in drawing 10 is obtained. Next, the resist of the field which carries out a resist with **, embeds by patterning like the operation gestalt 1, and forms a field 8 is removed. The resist pattern PR is exposing the field where a wrap serves as source side edge section 2E of a gate electrode, and the source completely in the field used as the drain of an MOS transistor. Next, the embedding field 8 of p mold is formed by the ion implantation of boron. Ion implantation is performed by the so-called rotation ion implantation method for attaching an inclination to a silicon front face, and rotating a wafer to a normal. By this approach, to all the directions surrounding the source field 16, it can embed in the fixed location directly under a gate electrode, and a field can be formed. 10 degrees - 40 degrees are suitable as whenever [tilt-angle / of ion implantation / theta]. Moreover, let the depth of an embedding field be a location deeper than the channel of an MOS transistor. the concentration of an embedding field can accumulate a hole -- as -- a well -- although there is

sufficiently high-concentration need from a field 13, since it becomes impossible to negate p mold dopant by n mold dopant by the ion implantation at the time of next source field formation not much when it pours in by high dose, it is desirable that it is 1/10 or less concentration of the concentration of a source field. In this way, the structure of drawing 11 is obtained.

[0045] After removing Resist PR, the source field 16 of n mold and the drain field 15 are formed by ion implantation by using gate electrode 2a as a mask. The part by which a mask is not carried out by gate electrode 2a among p+ mold fields poured in for embedding field formation determines the depth of ion implantation, and a dose so that n+ mold may negate p+ mold. Consequently, among p+ mold fields, only the part directly under the gate remains as a p+ mold field, and serves as an embedding field in which a charge is brought together. In this way, the structure shown in drawing 12 is obtained. Self align of the embedding field 8 is carried out to the inside edge of a ring-like gate electrode in this way source side edge section 2E of a gate electrode, and here. Then, deposition of an insulator layer, opening of contact, deposition of a wiring metal membrane, and patterning are repeated, and a non-illustrated metal protection-from-light layer is formed in the last, and it completes. When producing the photo-electric-conversion equipment for colors, the color filter stratification and a micro lens are formed after this.

[0046] Moreover, it is also possible to make the source drain of an MOS transistor into LDD structure. In that case, it is possible to manufacture by the same approach as the approach shown in the operation gestalt 2.

[0047] According to each operation gestalt, since the embedding field has consistency in the gate electrode, the threshold modulation mold photo-electric-conversion equipment whose controllability of dispersion in sensibility improved can be obtained. Each of dimension dispersion of the embedding field which was the detailed big factor of sensibility dispersion, and location dispersion becomes possible [offering the photo-electric-conversion equipment of high sensitivity with small dispersion], without raising a manufacturing cost by self-align formation to the edge of the source mold of a gate electrode, since it can control simple.

[0048] Moreover, this invention acts effectively also with the photo-electric-conversion equipment which does not use a micro lens, or the monochrome photo-electric-conversion equipment which does not use a color filter.

[0049] Drawing 13 is the typical block diagram of image pick-up equipment like the digital camera which adopted the photo-electric-conversion equipment of this invention.

[0050] As for image formation optical system [like a lens] whose 31 is, the photo-electric-conversion equipment of each gestalt which 32 mentioned above, and 33, a control circuit and 34 are memory. The image of a photographic subject is exposed by the pixel of photo-electric-conversion equipment 32 through the image formation optical system 31, and changes to an electrical signal. A suitable image processing is performed by the controller and the electrical signal of the obtained image is accumulated in memory.

[0051]

[Effect of the Invention] According to this invention, the relative position of an embedding field and a gate electrode can be produced with sufficient repeatability, and the MOS transistor of the threshold modulation mold to which the property was equal in ***** of a chip or a large number can be produced.

[0052] In this way, when the property of the MOS mold photo-electric-conversion equipment of the threshold modulation mold suitable for a detailed pixel improves, it becomes possible to expand application of a pocket device, a digital camera, etc.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 1 of this invention.

[Drawing 2] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 1 of this invention.

[Drawing 3] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 1 of this invention.

[Drawing 4] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 1 of this invention.

[Drawing 5] It is the sectional view of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 2 of this invention.

[Drawing 6] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 2 of this invention.

[Drawing 7] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 2 of this invention.

[Drawing 8] It is the sectional view of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 3 of this invention.

[Drawing 9] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 3 of this invention.

[Drawing 10] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 3 of this invention.

[Drawing 11] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 3 of this invention.

[Drawing 12] It is a sectional view for explaining the production process of the threshold modulation mold photo-electric-conversion equipment concerning the operation gestalt 3 of this invention.

[Drawing 13] It is the mimetic diagram of the image pick-up equipment using the threshold modulation mold photo-electric-conversion equipment of this invention.

[Drawing 14] It is pixel circuitry of threshold modulation mold photo-electric-conversion equipment.

[Drawing 15] It is the pixel top view of threshold modulation mold photo-electric-conversion equipment.

[Drawing 16] It is the pixel sectional view of threshold modulation mold photo-electric-conversion equipment.

[Drawing 17] It is the partial enlarged drawing of the pixel cross section of threshold modulation mold photo-electric-conversion equipment.

[Description of Notations]

1 Photodiode

2 2a Gate electrode of an MOS transistor

3 16 Source field of an MOS transistor

4 Source Contact

5 Source Electrode

6 Drain Contact
7 Drain Electrode
8 Embedding Field
9 Component Isolation Region
13 Well -- Field
14 MOS Transistor Gate Dielectric Film
15 Drain Field

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-353431

(P2002-353431A)

(43)公開日 平成14年12月6日(2002.12.6)

(51) Int.Cl.⁷

識別記号

FI

テーマコード* (参考)

H O 1 L 27/146
31/10

H O 1 L 27/14
31/10

A 4M118
A 5F049

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21)出願番号 特願2001-152387(P2001-152387)

(22)出願日 平成13年5月22日(2001.5.22)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 發明者 井上 俊輔

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

Fターム(参考) 4M118 AA10 AB01 BA14 CA03 CA19

FA06 FA34 GC07

5F049 MA01 MB03 MB12 NA04 NB05

PA10 PA14 QA15 RA08 TA12

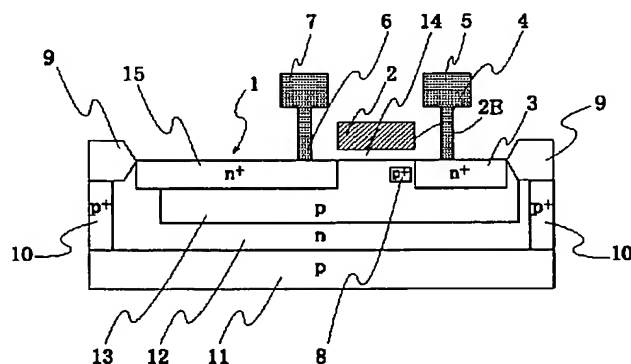
TA13

(54) 【発明の名称】 光電変換装置及びその製造方法

(57) 【要約】

【課題】 しきい値変調型MOSトランジスタを用いた光電変換装置の埋め込み領域を再現性良く形成し、特性の揃った画素、チップを提供する。

【解決手段】 フォトダイオードと絶縁ゲート型トランジスタを有し、そのトランジスタのゲート電極下方のウェル13内に、フォトダイオードで発生した電荷を集めるための高不純物濃度の埋め込み領域8を設け、その埋め込み領域8をゲート電極2のソース側端部に自己整合させる。



(2)

【特許請求の範囲】

【請求項 1】 フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置において、
前記埋め込み領域は、前記トランジスタの前記ゲート電極の端部に整合していることを特徴とする光電変換装置。

【請求項 2】 前記埋め込み領域は、前記トランジスタの前記ゲート電極の直下にあり、且つ前記トランジスタのソース領域を構成する低不純物濃度領域より前記チャンネル領域側にある請求項 1 に記載の光電変換装置。

【請求項 3】 フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置の製造方法において、

半導体基体に第 1 導伝型のウエルを形成する工程、
前記トランジスタの前記ゲート電極を形成する工程、
前記埋め込み領域を前記トランジスタの前記ゲート電極の端部に整合させるように、前記ウエル内にイオン打ち込みを行う工程、を含むことを特徴とする光電変換装置の製造方法。

【請求項 4】 前記埋め込み領域は、前記トランジスタの前記ゲート電極を形成後に斜めイオン打ち込みにより形成され、前記埋め込み領域の少なくとも一部が前記ゲート電極の直下に位置する請求項 1 に記載の光電変換装置。

【請求項 5】 前記トランジスタのソース領域は、前記埋め込み領域を形成すべく打ち込まれたドーパントを打ち消すように反対導伝型のドーパントのイオン打ち込みを行って形成する請求項 3 に記載の光電変換装置の製造方法。

【請求項 6】 前記トランジスタの前記ゲート電極を形成後に、前記埋め込み領域を形成するためのイオン打ち込みを行い、前記 MOS トランジスタのゲート電極のサイドスペースを形成し、その後前記 MOS トランジスタのソース領域の高不純物濃度領域を形成する請求項 3 に記載の光電変換装置の製造方法。

【請求項 7】 前記トランジスタの前記ゲート電極を形成後に、回転イオン打ち込みにより前記埋め込み領域を、前記トランジスタのソース領域を取り囲むように形成する請求項 3 に記載の光電変換装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルスチルカメラ、ビデオカメラレコーダー、ファクシミリ、イメ

2

ージスキャナーなどの撮像装置に用いられる光電変換装置及び製造方法、より具体的には閾値変調型の MOS 型光電変換装置及びその製造方法に関する。

【0002】

【従来の技術】光電変換装置は近年デジタルスチルカメラ、ビデオカメラレコーダーを中心とする 2 次元画像入力用の撮像装置、あるいはファクシミリ、スキャナーを中心とする 1 次元画像読み取り用の撮像装置に適したものとして、急速に需要が高まっている。

【0003】これらの光電変換装置として CCD (Charge Coupled Device: 電荷結合素子) や MOS 型の光電変換装置が用いられている。前者は後者と比較して、感度が高くノイズが小さいために、高画質の撮像装置として普及している反面、消費電力が大きく、駆動電圧が高い、汎用の半導体製造プロセスが使えないためにコストが高く、駆動回路等の周辺回路を集積することが困難である。

【0004】そのため、今後需要の拡大が予想される携帯機器への応用には、絶縁ゲート型のトランジスタを用いた、いわゆる MOS 型の光電変換装置が多く適用されるものと予想できる。そのためには MOS 型光電変換装置の欠点であった画質の低さを改善するため、より少ないトランジスタ数でノイズを抑制できる素子構造が望まれている。

【0005】1 画素あたりのトランジスタ数が少ないために、微細な画素でも大きな開口率が得られる光電変換装置として古くより BCMD (Bulk Charge Modulated Device) が考案されている。

【0006】BCMD の改良型として、フォトダイオードで発生した電荷を、MOS トランジスタのチャンネルの直下に埋め込んだ高濃度不純物層に集め、電荷により MOS トランジスタの閾値を変化させることにより、電荷を検出する手法が考えられる。

【0007】図 14～図 17 は、本発明者が先に発明した改良型の BCMD を説明するための図であり、図 14 はその一画素の回路図、図 15 はその平面図、及び図 16 は図 15 の AA' 線による断面図である。

【0008】1 は入射した光を光電変換するフォトダイオード、2 はフォトダイオード 1 から発生する電荷により閾値変調される MOS トランジスタのゲート電極、3 は MOS トランジスタのソース領域、4 はソース領域を配線につなぐコンタクト領域、5 はソース電極、6 は MOS トランジスタのドレイン領域を配線につなぐコンタクト、7 はドレイン電極、8 はフォトダイオード 1 で発生した電荷を集める高濃度の埋め込み領域、9 は素子分離領域である。

【0009】そして、チャンネルストップ領域 10、ウエル領域 13 は p 型シリコン、ソース領域 16、ドレイン領域 15 は n 型シリコンからなる。ウエル領域 13 は

(3)

3

n型領域12内に形成され、n型領域12はp型基板11上にある。埋め込み領域8はウエル領域12と同じ導伝型でウエル領域12より高濃度のp型シリコンからなる。

【0010】フォトダイオード2は、ウエル領域13の一部がアノードとなり、ドレイン領域15及びn型領域12の一部がカソードとなる構成であり、そこに入射した光により発生した電荷のうち、ホールは、浮遊状態とされたウエル領域13に蓄積され、そして、ホールによってポテンシャルの低い埋め込み領域8に集められ蓄積される。

【0011】ここで、図17を参照して、MOSトランジスタの導伝率がこの蓄積電荷により変調される様子を説明する。図17はMOSトランジスタのゲート電極とその下方の構造を拡大して示している。フォトダイオードで発生したホール21は埋め込み領域8に蓄積される。この電荷はゲート電極2に鏡像電荷22を生成する。この鏡像電荷22により、鏡像電荷22直下のMOSトランジスタ部分の閾値が変化する。この作用により、ゲート電極2に一定の読み出し用ゲート電圧が印加される動作状態において、MOSトランジスタのソース・ドレイン間に流れる電流は、閾値に応じて変化するようになる。

【0012】次に図15、図16に示した光電変換装置の製造方法について説明する。p型シリコン11にエピタキシャル成長を行いn型層12を形成する。次に、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域の酸化膜／シリコン窒化膜をエッチング除去する。p型イオンをイオン注入し、画素間のチャンネルストップ領域10を形成したのち、LOCOS酸化を行い、素子分離領域9を形成する。レジストパターンニングを形成し、これをマスクとしてイオンを打ち込みウエル領域13を形成する。次に、埋め込み領域を形成するためのレジストパターンを形成し、これをマスクとしたイオン打ち込みを行う。次に、表面にゲート絶縁膜14を形成後、ポリシリコンを堆積しゲート電極形状にパターンニングする。このゲート電極2をマスクとして、イオン注入によりn型のソース領域16、ドレイン領域15を形成する。その後、絶縁膜の堆積、コンタクトの開孔、配線金属膜の堆積、パターンニングを行い、コンタクト4、6やソース・ドレイン電極5、6を形成する。

【0013】

【発明が解決しようとしている課題】しかしながら、上記の製造方法では、埋め込み領域8とMOSトランジスタのソース領域16までの距離が製造する光電変換装置のチップ毎、あるいは製造時のウエハのロット毎にばらつくために、光電変換装置の感度がばらついてしまう。その理由は以下に説明するとおり、埋め込み領域8とソース領域16の相対位置が感度を左右するためである。MOSトランジスタの閾値の変化量 ΔV_{th} は以下の様

4

に表わされる：

$$\Delta V_{th} = Q / C \cdots (\text{式1})$$

ただし、Qは埋め込み領域に蓄えらえる電荷量

Cは埋め込み領域に蓄えられる電荷21とその鏡像電荷22間で形成される静電容量

更にCは図17のように、埋め込み領域8の直上のMOSトランジスタのゲート絶縁膜14の容量 C_g と、絶縁膜14の下から埋め込み領域8までのシリコン領域の静電容量 C_{si} の直列容量からなる。従って、

$$C = C_g \cdot C_{si} / (C_g + C_{si}) \cdots (\text{式2})$$

光電変換装置の重要な特性である検出感度は、電荷変換係数、すなわち発生電荷1個で発生する出力電圧、に比例するので、

$$\eta = e / C \cdots (\text{式3})$$

ただし、 η は電荷変換係数、eは電荷素量、Cは(式2)で定義される容量である。

【0014】埋め込み領域8からゲート電極2までの距離が埋め込み領域からソース電極までの距離より充分短い場合には、図17のように埋め込み領域に蓄えられる電荷21から出る電気力線23は全てゲート電極内の鏡像電荷22に終端するが、埋め込み領域8がソース領域16に近づくにつれ、電荷21から出る電気力線のうち、ソース領域内に終端する割合が大きくなる。従って、ゲート電極内に誘起される鏡像電荷はその分減少する。従って埋め込み領域に集められた電荷が有効にMOSトランジスタの閾値変化を生じさせることができなくなる。これは感度が低下することを意味する。

【0015】以上のように、埋め込み領域8とソース領域16までの距離により光電変換装置の感度がばらついてしまう。埋め込み領域とソース領域の距離を充分とると、MOSトランジスタの寸法が大きくなり、微細な画素構造を実現できなくなる。

【0016】そこで、本発明の目的は、埋め込み領域を再現性よく作製し、素子寸法を小さくしても、チップ毎の感度の不均一性を抑えて、多数の画素亘って特性の揃った閾値変調型のMOSトランジスタを作製し得る光電変換装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】本願第1発明は、フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置において、前記埋め込み領域は、前記トランジスタのゲート電極の端部に整合していることを特徴とする。

【0018】本願第2発明は、フォトダイオードと絶縁ゲート型のトランジスタを有し、前記トランジスタのゲート電極下方のウエル内に、前記フォトダイオードで発生した電荷を集める為の、該ウエルと同導伝型であって

(4)

5

該ウエルより高不純物濃度の埋め込み領域が設けられた光電変換装置の製造方法において、半導体基体に第1導伝型のウエルを形成する工程、前記MOSトランジスタのゲート電極を形成する工程、前記埋め込み領域を前記MOSトランジスタのゲート電極の端部に整合させるように前記ウエル内にイオン打ち込みを行う工程を含むことを特徴とする。

【0019】

【発明の実施の形態】（実施形態1）本発明の実施形態1による光電変換装置について、図1～図4を参照して説明する。

【0020】図1は光電変換装置の1画素分の断面図である。平面的な構成と回路構成は、図14、図15と同様である。

【0021】1は入射光により電荷（ここではホール）を発生・蓄積することができるフォトダイオード、2は発生キャリアによるチャネル導伝率変調を行う読み出し用の絶縁ゲート型のトランジスタ（MOSトランジスタ）のゲート電極である。ここで、フォトダイオード1は、MOSトランジスタと一体的に構成され、p型のウエル13とn型のドレイン領域15とn型領域12とによりpn接合が形成された埋め込み型フォトダイオードとなっている。

【0022】このゲート電極2は、例えば不純物がドーブされたポリシリコンや、ポリシリコンと金属或いは金属珪化物などの積層層を用いることができる。3は上記MOSトランジスタのn型半導体からなるソース領域であり、このソース領域3から変調されたMOSトランジスタの出力電流を撮り出すことができる。4は不図示の絶縁層のコンタクトホール内に充填されたアルミニウムやタングステンなどの導伝体からなるソースコンタクト、5はアルミニウムや銅などの導伝体からなるソース電極（ソース配線）である。6は不図示の絶縁層のコンタクトホール内に充填されたアルミニウムやタングステンなどの導伝体からなるドレインコンタクト、7はアルミニウムや銅などの導伝体からなるドレイン電極（ドレイン配線）でMOSトランジスタを駆動するための電源に接続される。8は埋め込み領域であり、高不純物濃度のp型半導体からなる。この埋め込み領域8はゲート電極2のソース側端部2Eに整合している。

【0023】9は酸化シリコンなどからなる素子分離領域で、隣接する画素とのクロストークを防止している。10は素子分離のための高不純物濃度のp型半導体からなるチャンネルストップ領域、11はp型半導体からなる基板、12はn型半導体からなる領域であり、p型半導体からなるウエル13を画素毎に独立するように、ウエル13を取り囲んでいる。14は酸化シリコンなどからなるゲート絶縁膜、15はドレインとなる高不純物濃度のn型半導体からなるドレイン領域、ソース電極5が信号出力用の配線となっている。

6

【0024】つぎに、この光電変換装置の動作を簡単に説明する。

【0025】光電変換の動作は、リセット→蓄積→読み出しの順で行われ、この動作が繰り返される。リセット動作では、p型のウエル領域13、及びp+型の埋め込み領域8に残っているホールを全て基板11に排出する。そのために、基板11に対し、正のバイアスとなるリセット用バイアス電圧（例えば5～10V程度）をドレイン電極7と、MOSトランジスタのゲート電極2とに印加する。このとき、n型の領域12は上下のpn接合界面から延びた空乏層がパンチスルーして空乏化するので、p型のウエル13、及びp+型の埋め込み領域8に残っているホールはすべて基板11に吐き出され、p型のウエル13、及びp+型の埋め込み領域8も空乏化するので、キャリアの熱的ゆらぎによるランダムノイズは発生しない。

【0026】リセット後の蓄積動作では、ドレイン電極7にフォトダイオード1を逆バイアスしうる蓄積用バイアス電圧（例えば3～5V）を印加する。又、MOSトランジスタのチャネルは蓄積状態又は空乏状態になるようゲート電極2に印加するゲート電圧をMOSトランジスタの閾値以下の電圧（例えば-3ボルト～+1ボルト）に設定する。この状態で、光をフォトダイオード1に入射させる。この入射光により発生した電荷、即ち電子-ホール対のうち電子はドレイン領域15及びドレイン電極7に吸い出され、ホールは拡散とドリフトにより、p型ウエル13を通して埋め込み領域8に集まる。本実施の形態では、複数の埋め込み領域8のいずれにもホールが集まる。また、隣接する埋め込み領域8間の隙間は、ホールがいずれかの埋め込み領域8からのポテンシャル勾配に引き寄せられる程度に小さく設計する。読み出し動作では、埋め込み領域8に蓄積されたホールにより誘起されるMOSトランジスタの導伝率の変調をMOSトランジスタの電流としてソース電極5より読み出す。読み出し動作のために、MOSトランジスタのゲート電極2に印加される電圧を閾値電圧以上に設定する。光電変換装置としての電流-電圧特性の直線性を確保するため、MOSトランジスタが5極管領域で動作するようにゲート電圧を決める。

【0027】本実施の形態では、必要に応じて埋め込み領域8を複数に分割すれば、電荷検出時の静電容量を小さくすることができ、光電変換装置としての感度が向上する。

【0028】埋め込み領域8の分割方法としては、MOSトランジスタのチャネル幅方向（ゲート幅方向）に分割することで、効率的に感度を上昇させることができる。

【0029】MOSトランジスタのソース領域3のうちフォトダイオード1に近い側は入射光により発生した電荷が拡散・ドリフトして来る方向である。埋め込み領域

(5)

7

8がない部分では、電荷を埋め込み領域8で捉えることができず、MOSトランジスタのソース領域3内で消滅してしまう。ソース領域3のうちフォトダイオード1がない側ではこのような損失が起こりにくい。埋め込み領域8の大きさと、密度をフォトダイオードとMOSトランジスタのソース領域との位置関係に応じて変化させることにより、感度を最大にする設計が可能となる。

【0030】次に、図2～図4を参照して、本発明の実施形態による光電変換装置の製造方法について説明する。

【0031】p型の単結晶シリコンからなる半導体基板11にエピタキシャル成長を行いn型層12を形成する。n型層厚さは長波長側の分光感度を決めるので、検出すべき光に応じてその厚さは決定される。次に素子分離領域9を形成するために、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域9を形成すべき部分の酸化膜／シリコン窒化膜をエッチングにより除去する。素子分離としても働くチャンネルストップ領域10を形成するために、ボロンのようなp型不純物のイオンをイオン打ち込み装置を用いて打ち込み、LOCOS酸化を行い、素子分離領域9、10を作製する。その後、感光性樹脂からなるレジストを塗布し、所定のパターンに露光し、現像した後、ウエル領域13を形成すべき部分にp型不純物を打ち込み、熱処理を行う。ウエル領域13のイオン打ち込み量及びイオン打ち込み後の熱処理は、リセット動作時に所望の電圧で空乏化でき、フォトダイオードの飽和電荷が所望の値となるよう決める。

【0032】次にゲート電極を作製するために、ゲート絶縁膜14を形成したのちポリシリコンのような導電体を堆積させ、パターニングを行いゲート電極2を形成する。こうして、図2に示す構造体を得られる。

【0033】次にレジストを塗付し、パターニングにより埋め込み領域を形成するための領域のレジストを除去する。このレジストパターンPRはMOSトランジスタのドレイン領域を形成すべき領域は完全に覆うが、ゲート電極の図中右側端部2Eとソース領域を形成すべき領域は露出させるパターンである。次にボロンのイオン打ち込みにより、p型の埋め込み領域8を形成する。この時のイオンはソース側からみてゲート方向にイオンが入射するように斜めイオン打ち込みを行う。斜めイオン打ち込みにより埋め込み領域8の一部をゲート電極2の鉛直方向下方(直下)に形成することができる。イオン打ち込みの傾斜角度 θ として基板表面の法線に対して $10^\circ \sim 40^\circ$ が適当である。また、埋め込み領域8の深さはMOSトランジスタの実効チャンネルより深い位置とする。埋め込み領域8の濃度は、ホールを蓄積できるようウエル領域13より充分高濃度の必要があるが、あまり高ドーズで打ち込むと後のソース領域3形成時のイオン打ち込みによりp型ドーパントをn型ドーパントで打ち消すことができなくなるので、後に形成されるソース領

8

域3の濃度の $1/10$ 以下の濃度であることが望ましい。こうして、図3に示す構造体を得られる。

【0034】レジストパターンPRを除去した後、ゲート電極をマスクとして、イオン打ち込み及び熱処理によりn型のソース領域3、ドレイン領域15を形成する。埋め込み領域8形成のために注入したp⁺型領域のうち、ゲート電極2でマスクされていない部分はn⁺型がp⁺型を打ち消すように、p型ドーパントの打ち込み時よりもイオン打ち込みの深さを調整し、ドーズ量をより多く設定する。その結果、p⁺型領域のうちゲート直下の部分だけがp⁺型領域として残り、電荷を集める埋め込み領域8となる。こうして、図4に示す構造体を得られる。こうして、埋め込み領域8はゲート電極2の端部2Eに自己整合する。その後、絶縁膜の堆積、コンタクトの開口、配線金属膜の堆積、パターニングを繰り返す、図1に示したような構造体を得られる。その後は必要に応じて不図示の金属遮光層を形成する。カラー用光電変換装置を作製する場合はこの後、カラーフィルタ層形成、マイクロレンズを形成する。

【0035】(実施形態2) 図5は本実施形態による光電変換装置の断面図である。コンタクトの開口、配線などは省略して図示している。本実施形態はMOSトランジスタのソース、ドレイン構造を所謂LDD(Lightly Doped Drain)構造としたものである。LDD構造を形成するためにゲート電極2の側壁に絶縁膜によるサイドスペーサ20が形成されている。

【0036】p型シリコン11にエピタキシャル成長を行いn型層12を形成する。次に素子分離領域を形成するために、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域の酸化膜／シリコン窒化膜をエッチング除去する。p型ドーパントのイオンを打ち込み、画素間の高濃度のチャンネルストップ領域10を形成したのち、LOCOS酸化を行い、素子分離領域9を形成する。レジストパターニングとイオン打ち込みによりウエル領域13を形成する。ウエル領域13のイオン打ち込みドーズ量及びイオン打ち込み後の熱処理は、リセット動作時に所望の電圧で空乏化でき、フォトダイオードの飽和電荷が所望の値となるよう決める。MOSトランジスタのチャンネルの不純物プロファイルを決定するために、必要に応じ、イオン注入によりp型、n型の不純物層をチャンネル近辺に形成する。表面にゲート絶縁膜14を形成後、ポリシリコンを堆積し、ゲート電極をパターニングする。次にレジストPRを塗付し、パターニングにより埋め込み領域を形成する領域のレジストを除去する。レジストパターンPRはMOSトランジスタのドレイン領域は完全に覆うが、ゲート電極のソース側端部2Eとソース領域は露出させている。次にボロンのイオン打ち込みにより、p型の埋め込み領域8を形成する。イオンはソース側からみてゲート方向に斜めに入射するように斜めイオン打ち込みを行う。斜めイオン打ち込み

(6)

9

より埋め込み領域の一部をゲート電極直下に形成することができる。注入の傾斜角度 θ として $10^\circ \sim 40^\circ$ が適当である。また、埋め込み領域8の深さはMOSトランジスタのチャンネルより深い位置とする。埋め込み領域8の濃度は、ホールを蓄積できるようウエル領域13より充分高濃度の必要があるが、あまり高ドーズで打ち込むと後のソース領域形成時のイオン打ち込みによりp型ドーパントをn型ドーパントで打ち消すことができなくなるので、ソース領域の濃度の $1/10$ 以下の濃度であることが望ましい。こうして、図6に示す構造体を得られる。

【0037】ここまでは前述した実施形態1と同じである。

【0038】次にレジストPRを除去した後、リンのイオンを打ち込んでn型のソース・ドレインの低不純物濃度領域、即ち電界緩和層15b、16c、16d、16eを形成する。この時、n型のイオン注入によりp⁺領域8のうち、リンを打ち込んだ領域はp⁺型がほぼ打ち消されるように、あらかじめp⁺層の深さ、濃度を設定しておく。従って、ソース領域の電界緩和領域は、シリコン表面に近くn型層として残る領域16c、埋め込み領域の一部を打ち消しほぼ中性あるいはウエル領域13とほぼ同じ濃度の領域16d、埋め込み領域がなくドレイン側と同じ濃度の領域16eの3つの領域に分かれる。埋め込み領域8はゲート電極下にゲート電極の端部に自己整合的に形成される。次に、CVD法によりシリコン酸化膜等を堆積した後、異方性エッチングによりゲート電極2の側壁だけにシリコン酸化膜を残し所謂サイドスペース20を形成する。こうして、図7の構造体を得られる。

【0039】ゲート電極2をマスクとして、イオン打ち込みによりn型の高濃度のソース領域16a、ドレイン領域15aを形成する。低濃度の電界緩和領域は高濃度のn型領域15a、16aの形成によって、サイドスペース20の下だけに残り、こうして、図5に示したように、ソース電界緩和領域16b、ドレイン電界緩和領域15bが形成される。こうして、埋め込み領域8やソース領域3は、ゲート電極のソース側端部2Eに自己整合的に作り込まれる。

【0040】その後、絶縁膜の堆積、コンタクトの開

口、配線金属膜の堆積、パターニングを繰り返し、最後に不図示の金属遮光層を形成して完成する。カラー用光電変換装置を作製する場合はこの後カラーフィルタ層形成、マイクロレンズを形成する。

【0041】（実施形態3）図8は閾値変調されるMOSトランジスタがリング状とされた光電変換装置の一面素の平面図を示したものである。1は入射光により電荷を発生・蓄積するフォトダイオード、2aは発生キャリアによるチャンネル導伝率変調を行う読み出し用MOSトランジスタのゲート電極、2bはゲート配線、3は上記

10

MOSトランジスタのソース領域、4はソースコンタクト、5はソース電極である。ゲート電極2aはリング状でソース領域3を取り囲む。6はMOSトランジスタのドレインコンタクト、7はドレイン電極である。8は複数の埋め込み領域で、ゲート電極の形状に沿って、ソース領域を取り囲む様に分割されて配置されている。9は素子分離領域である。図9は図8のBB'断面である。10は素子分離のための高濃度のチャンネルストップ領域、11はシリコン基板、12はウエル13を取り囲むウエルと反対導伝型領域、14はMOSトランジスタのゲート絶縁膜、15はドレイン領域、16はソース領域である。

【0042】本実施形態ではゲート電極2aをリング状にし、ゲート電極2aの形状に沿って、埋め込み領域8もソース領域15を囲む様に配置されている。ゲート電極をリング状にするのは、フォトダイオードから拡散してきたホールを確実に集めることができると同時に、MOSトランジスタのゲート幅を大きくとることができるので、より大きな出力負荷を駆動できる。そのため読み出しの高速化に有効である。

【0043】次に、製造方法について説明する。

【0044】ゲート電極を形成する工程までは前述の実施形態1、2とまったく同じである。すなわち、p型シリコン11にエピタキシャル成長を行いn型層12を形成する。次に素子分離領域を形成するために、全体を薄く酸化し、次にシリコン窒化膜を堆積し、素子分離領域の酸化膜/シリコン窒化膜をエッチング除去する。p型ドーパントのイオンを打ち込みし、画素間の高濃度のチャンネルストップ領域10を形成したのち、LOCOS酸化を行い、素子分離領域9を完成する。レジストパターンニングとイオン打ち込みによりウエル領域13を形成する。ウエル領域13のイオン打ち込みのドーズ量及びイオン打ち込み後の熱処理は、リセット動作時に所望の電圧で空乏化でき、フォトダイオードの飽和電荷が所望の値となるよう決める。MOSトランジスタのチャンネル領域の不純物プロファイルを決断するために、必要に応じて、イオン打ち込みによりp型、n型の不純物層をチャンネル近辺に形成する。表面にゲート絶縁膜14を形成後、ポリシリコンを堆積し、ゲート電極をパターニングする。こうして図10に示す構造体を得られる。次に、実施形態1と同様に、レジストを塗付し、パターニングにより埋め込み領域8を形成する領域のレジストを除去する。レジストパターンPRはMOSトランジスタのドレインとなる領域を完全に覆うが、ゲート電極のソース側端部2Eとソースとなる領域は露出させている。次にボロンのイオン打ち込みにより、p型の埋め込み領域8を形成する。イオン打ち込みは、シリコン表面に対して傾斜をつけかつ法線に対しウエハを回転させる、所謂回転イオン打ち込み法でおこなう。この方法により、ソース領域16を囲むすべての方向に対し、ゲート電極直下

(7)

11

の一定の位置に埋め込み領域を形成することができる。イオン打ち込みの傾斜角度 θ として $10^\circ \sim 40^\circ$ が適当である。また、埋め込み領域の深さはMOSトランジスタのチャネルより深い位置とする。埋め込み領域の濃度は、ホールを蓄積できるようウエル領域13より充分高濃度の必要があるが、あまり高ドーズで注入すると後のソース領域形成時のイオン打ち込みによりp型ドーパントをn型ドーパントで打ち消すことができなくなるので、ソース領域の濃度の $1/10$ 以下の濃度であることが望ましい。こうして、図11の構造体を得られる。

【0045】レジストPRを除去した後、ゲート電極2aをマスクとして、イオン打ち込みによりn型のソース領域16、ドレイン領域15を形成する。埋め込み領域形成のために注入したp⁺型領域のうち、ゲート電極2aでマスクされていない部分はn⁺型がp⁺型を打ち消すように、イオン打ち込みの深さ、ドーズ量を決定する。その結果、p⁺型領域のうちゲート直下の部分だけがp⁺型領域として残り、電荷を集める埋め込み領域となる。こうして、図12に示す構造体を得られる。埋め込み領域8は、こうしてゲート電極のソース側端部2E、ここではリング状ゲート電極の内側エッジに、自己整合する。その後、絶縁膜の堆積、コンタクトの開孔、配線金属膜の堆積、パターンングを繰り返し、最後に不図示の金属遮光層を形成して完成する。カラー用光電変換装置を作製する場合はこの後カラーフィルタ層形成、マイクロレンズを形成する。

【0046】又、MOSトランジスタのソースドレインをLDD構造とすることも可能である。その場合は実施形態2に示した方法と同じ方法で製造することが可能である。

【0047】各実施形態によれば、埋め込み領域がゲート電極に整合しているので、感度のばらつきの制御性が向上した閾値変調型光電変換装置を得ることができる。詳しくは、感度ばらつきの大きな要因であった、埋め込み領域の寸法ばらつき、位置ばらつきは、いずれもゲート電極のソース型の端部に対する自己整合形成により、簡便に抑制できるため、製造コストを上昇させることなく、高感度の光電変換装置を小さいばらつきで提供することが可能となる。

【0048】又、本発明はマイクロレンズを使用しない光電変換装置、あるいはカラーフィルターを使用しない白黒の光電変換装置でも有効に作用する。

【0049】図13は、本発明の光電変換装置を採用したデジタルカメラのような撮像装置の模式的構成図である。

【0050】31はレンズのような結像光学系、32は上述した各形態の光電変換装置、33は制御回路、34はメモリである。被写体の像が結像光学系31を通して光電変換装置32の画素に露光され、電気信号に変わる。得られた像の電気信号はコントローラにより適当な

12

画像処理が施され、メモリに蓄積される。

【0051】

【発明の効果】本発明によれば、埋め込み領域とゲート電極との相対位置を再現性よく作製し、チップ或いは多数の画素亘って特性の揃った閾値変調型のMOSトランジスタを作製することができる。

【0052】こうして、微細画素に適した閾値変調型のMOS型光電変換装置の特性が向上することにより、携帯機器、デジタルカメラなどの応用を拡大することが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る閾値変調型光電変換装置の断面図である。

【図2】本発明の実施形態1に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図3】本発明の実施形態1に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図4】本発明の実施形態1に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図5】本発明の実施形態2に係る閾値変調型光電変換装置の断面図である。

【図6】本発明の実施形態2に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図7】本発明の実施形態2に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図8】本発明の実施形態3に係る閾値変調型光電変換装置の断面図である。

【図9】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図10】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図11】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図12】本発明の実施形態3に係る閾値変調型光電変換装置の製造工程を説明するための断面図である。

【図13】本発明の閾値変調型光電変換装置を用いた撮像装置の模式図である。

【図14】閾値変調型光電変換装置の画素回路構成である。

【図15】閾値変調型光電変換装置の画素平面図である。

【図16】閾値変調型光電変換装置の画素断面図である。

【図17】閾値変調型光電変換装置の画素断面の部分拡大図である。

【符号の説明】

1 フォトダイオード

2, 2a MOSトランジスタのゲート電極

3, 16 MOSトランジスタのソース領域

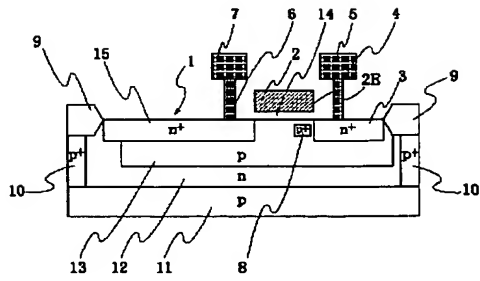
4 ソースコンタクト

(8)

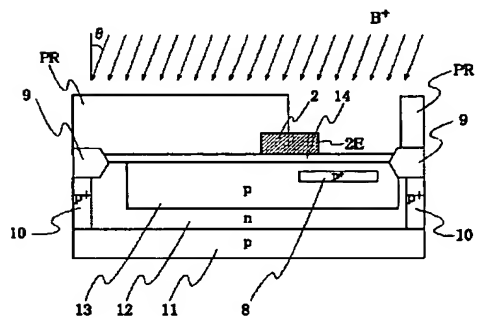
- 5 ソース電極
6 ドレインコンタクト
7 ドレイン電極
8 埋め込み領域

13

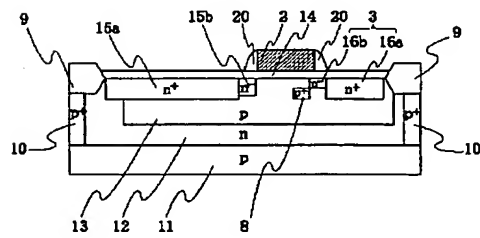
【図1】



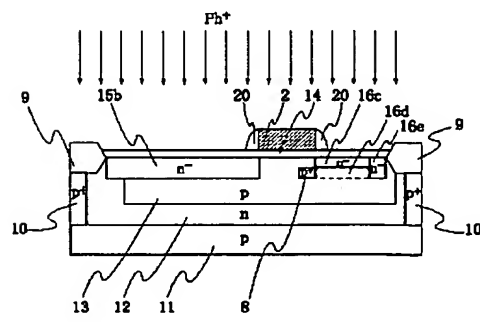
【図3】



【図5】



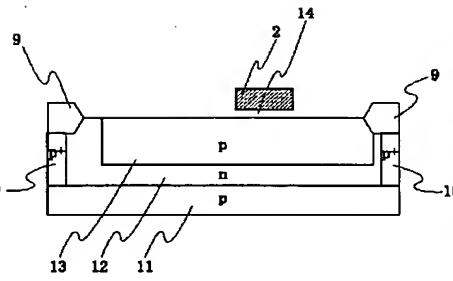
【図7】



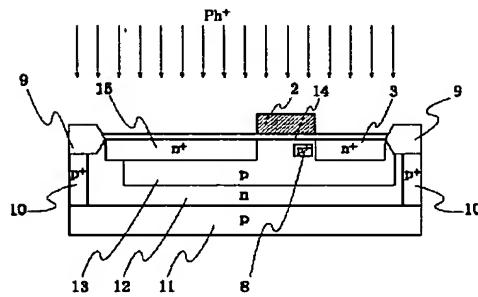
- 9 素子分離領域
13 ウエル領域
14 MOSトランジスタゲート絶縁膜
15 ドレイン領域

14

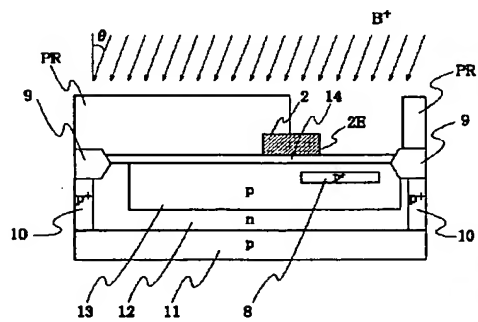
【図2】



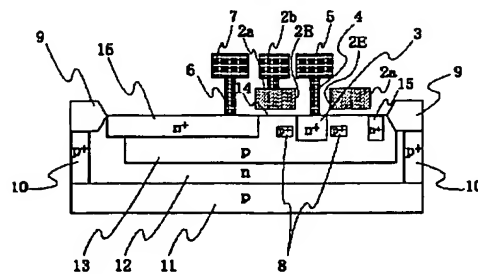
【図4】



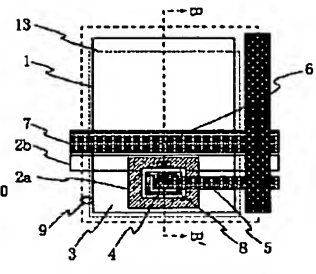
【図6】



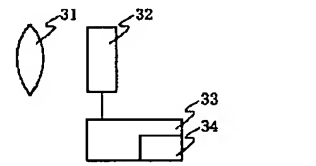
【図9】



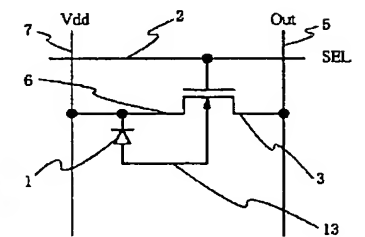
【図8】



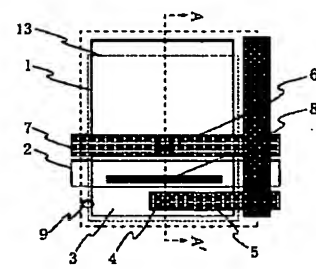
【図13】



【図14】

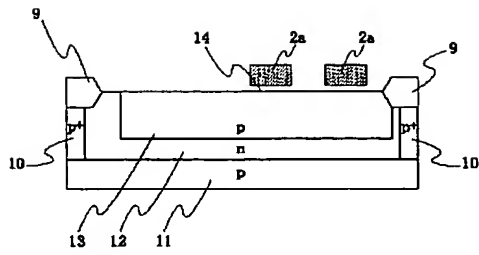


【図15】

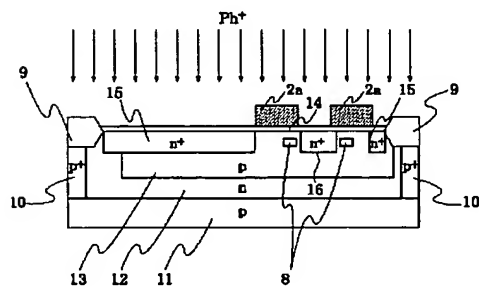


(9)

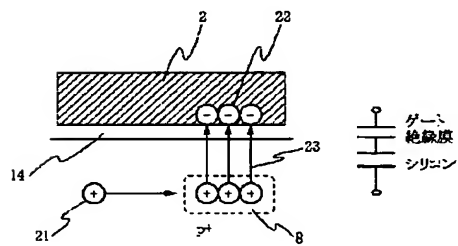
【図 10】



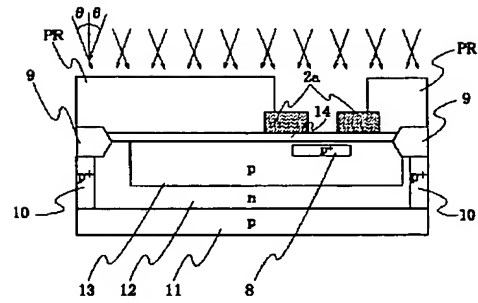
【図 12】



【図 17】



【図 11】



【図 16】

